NAND 硬件排查指南

Version 0.4

版本号: V0.4
发布日期: 2021-11-16

版本历史

版本号	日期	制/修订人	内容描述
V0.1	2020-05-28	AWA1153	Initial version
V0.2	2020-07-17	AWA1153	增加附录 C：如何判断 NAND Flash 电压要求增加 3.2.2.1 上下电问题实例
V0.3	2020-07-23	AWA1153	Fix some error description
V0.4	2021-11-16	AWA1153	增加原理图检查、PCB 检查

版权所有 © 珠海全志科技股份有限公司。保留一切权利

目　录

1 前言 **1**
1.1 编写目的 . . . 1
1.2 使用范围 . . . 1
1.3 相关人员 . . . 1
1.4 文档约定 . . . 1
1.4.1 标志说明 . . . 1

2 模块简介 **2**
2.1 模块功能介绍 . . . 2
2.2 相关术语介绍 . . . 2
2.3 NAND 工作模式简述 . . . 2

3 典型问题排查步骤 **4**
3.1 检查原理图及 PCB . . . 4
3.1.1 NAND 原理图检查 . . . 4
3.1.2 NAND 的 PCB 检查 . . . 9
3.2 检查供电电源 . . . 10
3.2.1 倒灌电问题 . . . 10
3.2.2 上下电时序问题 . . . 10
3.2.2.1 上下电问题实例 . . . 12
3.3 各种类型问题排查方向 . . . 15
3.3.1 识别不到 ID 问题 . . . 15
3.3.2 读数据 ECC ERR 异常 . . . 16
3.3.3 Wait RB Ready timeout . . . 16
3.4 通用排查方法 . . . 17
3.4.1 检查硬件板 . . . 17
3.4.2 对比实验 . . . 17

4 附录 A：协议参考 **18**

5 附录 B：原理图参考 **19**

6 附录 C：如何判断 NAND Flash 电压要求 **20**

7 参考文献 **29**

ALLWINNER®

版权所有 © 珠海全志科技股份有限公司。保留一切权利

插　图

1-1 标识说明 1
2-1 Terms and definitions 2
3-1 信号线原理图 5
3-2 RB 接法原理图 6
3-3 WP 接法原理图 6
3-4 RB 信号线接法图 7
3-5 VPS0 和 VPS1 的电阻选择图 8
3-6 NAND 管脚示意图 9
3-7 NAND 电压说明 11
3-8 Power supply woltage 11
3-9 Vcc 和 Vcq 注意事项 12
3-10 上电电压 13
3-11 系统休眠电源电压 13
3-12 休眠唤醒电压 14
3-13 拔掉 LCD 排线-休眠唤醒电压 14
3-14 Bug Information 15
3-15 驱动排查说明 15
5-1 NAND 原理图 19
5-2 器件用途解释 19
6-1 NAND Flash Memory 20
6-2 NAND Flash Memory-FortisFlash 21
6-3 NAND Flash Memory-2 22
6-4 64G Device Features 23
6-5 64G Device Features-SanDisk 24
6-6 64G Device Features-2 25
6-7 hynix-Product Feature 26
6-8 Product Organization 27
6-9 Features 28

ALLWINNER®

版权所有 © 珠海全志科技股份有限公司。保留一切权利

1 前言

1.1 编写目的

1.2 使用范围

1.3 相关人员

NDFC 设计及验证人员以及 FAE 支持人员等。

1.4 文档约定

1.4.1 标志说明

本文档采用各种醒目的标志来表示在操作过程中应该特别注意的地方，这些标志的含义如下：

标识	说明
注意	提醒操作中应注意的事项。不当的操作可能会损坏器件，影响可靠性、降低性能等。
说明	为准确理解文中指令、正确实施操作而提供的补充或强调信息。
窍门	一些容易忽视的小功能、技巧。了解这些功能或技巧能帮助解决特定问题或者节省操作时间。

图 1-1：标识说明

版权所有 © 珠海全志科技股份有限公司。保留一切权利

2 模块简介

2.1 模块功能介绍

NDFC 模块主要实现对 NAND 读写操作，包括 NAND ECC 纠错、随机化 (Randomizer) 等。

2.2 相关术语介绍

Table 2-1— Terms and definitions

Name	Description
SoC	System on Chip
NAND	一种非易失性闪存
NDFC	NAND Flash Controller
ECC	Error Checking and Correction(错误检查和纠正)
BCH Code	Bose–Chaudhuri–Hocquenghem Code(纠正随机错误的循环码)
LDPC	Low Density Parity Check Code(低密度奇偶校验码)
ONFI	Open NAND Flash Interface,由 Sandisk、Intel、Micron、Phison、Hynix、Sony、Spansion 共同创建的一个 NAND Flash 的接口标准，主要目的是统一当时混乱的闪存标准
Toggle	Samsung 和 Toshiba 以 DDR 为基础制定的 Flash 接口标准,是为了对抗 ONFI 的标准
SDR	Single Data Rate
DDR	Double Data Rate

图 2-1: Terms and definitions

2.3 NAND 工作模式简述

AW NDFC 模块支持 NAND Flash 工作模式为 SDR 和 DDR，分别采用单边沿采样与双边沿采样。DDR 模式支持 ONFI DDR 1.0、ONFI DDR 2.0、Toggle DDR 1.0、Toggle DDR 2.0，其中 ONFI DDR 2.0 工作模式与 Toggle DDR 相同。NDFC 内置 ECC 校验引擎，用于增强其可靠性。使用 BCH 算法，在每个 1024bytes 数据中最高能够检测并纠正 80bit 的错误码。以 1024Byte 为 ECC 单位处理，假设最大纠错能力为 t，校验码长度就是 14×t bit;

对于 NAND Flash，控制器支持 15 种纠错模式，最小 16bit/1KB，最大 80bit/1KB(由 device Spare 区大小决定所选模式，通过寄存器 **NDFC_ECC_CTL**[NDFC_ECC_MODE] 配置)，当对应的 ECC data block 超过纠错能力时，控制器报 ECC 错误中断 (**NDFC_ECC_ST**)；当纠

版权所有 © 珠海全志科技股份有限公司。保留一切权利

错成功时，可从寄存器 **NDFC Error Counter Register X[0x0050+X*4(X=0~7)]** 查看对应的已纠错的 bit 数目；

NDFC 支持随机化功能，开启 Randomizer 功能后，写操作时，控制器会对写入的数据进行随机化处理，再进行传输数据；读操作时，会先对读回来的数据进行反随机化处理，将数据还原后写入对应 buffer，所以随机化与反随机化如果随机化种子配置不同，会导致解析数据错误，进而会导致报 ECC ERROR 异常。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

3 典型问题排查步骤

介绍关于使用 NAND 出现相关问题时，硬件相关的排查方法。

3.1 检查原理图及 PCB

检查原理图上标识的器件与开发板 PCB 所贴器件是否对应，是否应该连接的未连接。进行原理图检查跟 PCB 检查时，原理图检查可参考 3.1.1 和附录原理图说明，PCB 检查可参考 3.1.2 说明。

3.1.1 NAND 原理图检查

常见的 RAW NAND 的封装有 TSOP-48 和 BGA-152 封装两种，但不论哪一类型的封装，常用的管脚都是 CE#、RB#、CLE#、ALE#、WE#、RE#、WP#、DQ0~DQ7 和 DQS。需要检查的事项有以下几点：
1、首先要确保以上所有的信号线均在 IC 端分配有 IO 口连接；

版权所有 © 珠海全志科技股份有限公司。保留一切权利

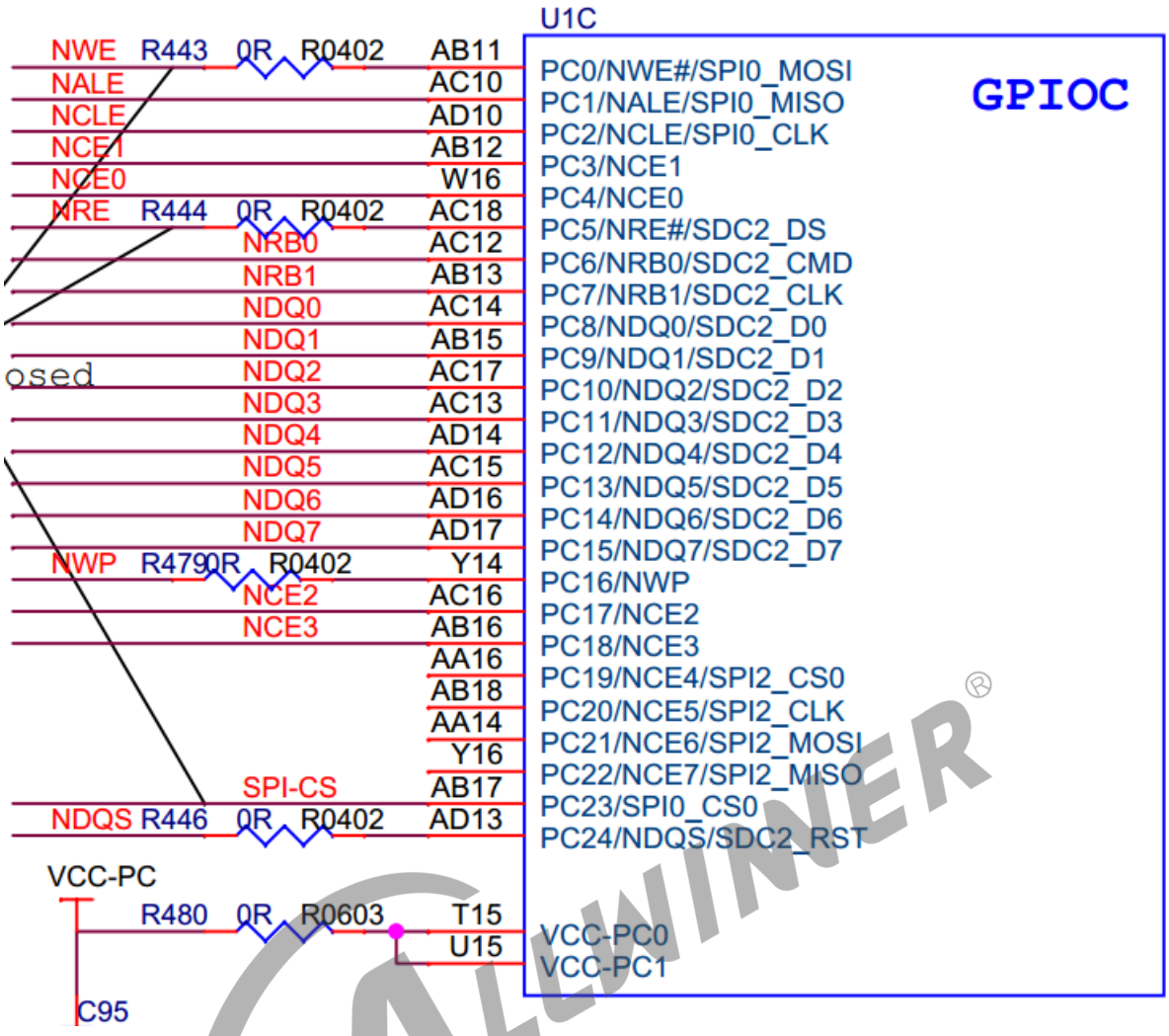

图 3-1: 信号线原理图

2、CE#、RB# 和 WP# 的接法。

这三个管脚在设计的时候是开漏输出，所以需要在电路设计上上拉 10K 电阻（一般为 10K）到 VCC-NAND。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

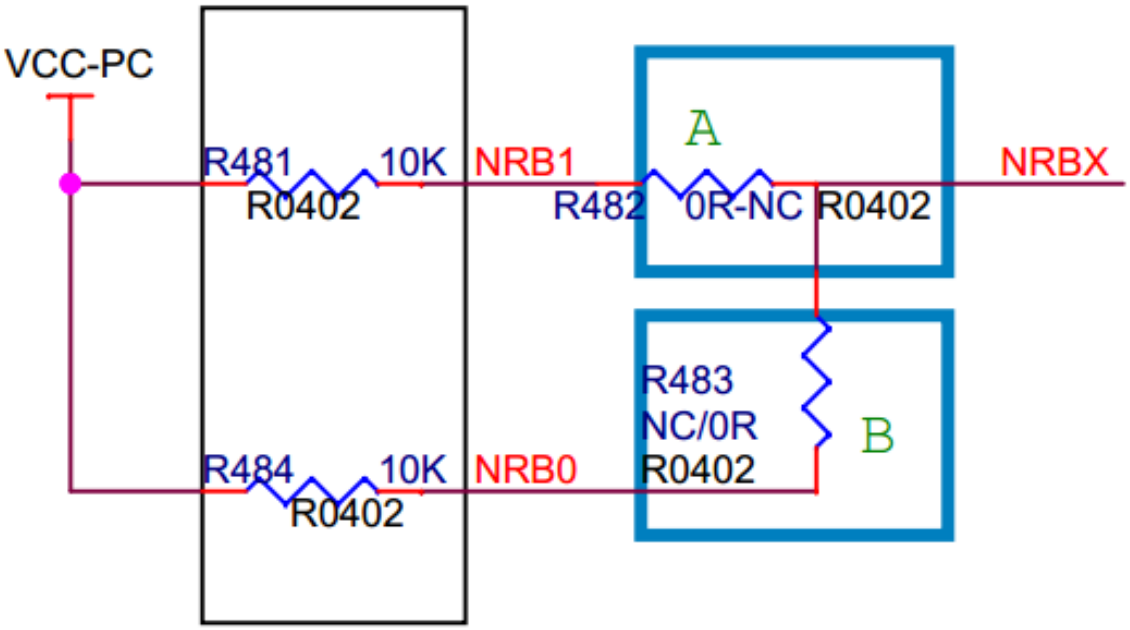

图 3-2: RB 接法原理图

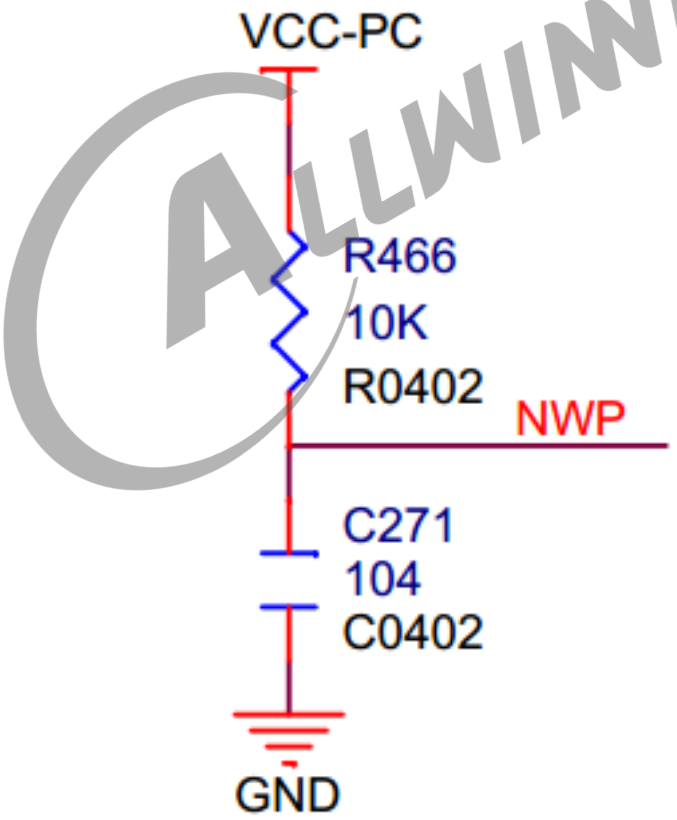

图 3-3: WP 接法原理图

CE# 信号线这里没有额外做 10K 电阻的上拉，原因是直接在 GPIO 配置时就直接配置为上拉了，所以不必要再在外围电路上拉；RB# 信号线为配合驱动的读写方式，需要有特殊的上拉和复

版权所有 © 珠海全志科技股份有限公司。保留一切权利

用；WP# 信号线一般情况下在 GPIO 配置的时候就已经配置为上拉了（这个需要人为认真检查，因为 V40 就忽略了这一点，被默认配置了下拉），原则上是不需要再在外围电路上配置上拉的，但要考虑 NDFC 端 WP# 是否被使能，一般情况下，NWP# 管脚是不接到外设的 NAND 的。

3、RB# 信号线的接法

对于多片选（CE#）的 NAND FLASH，RB# 信号线存在复用的情况，为配合驱动的应用，需要通过以下的 RB# 接法用于选择复用。

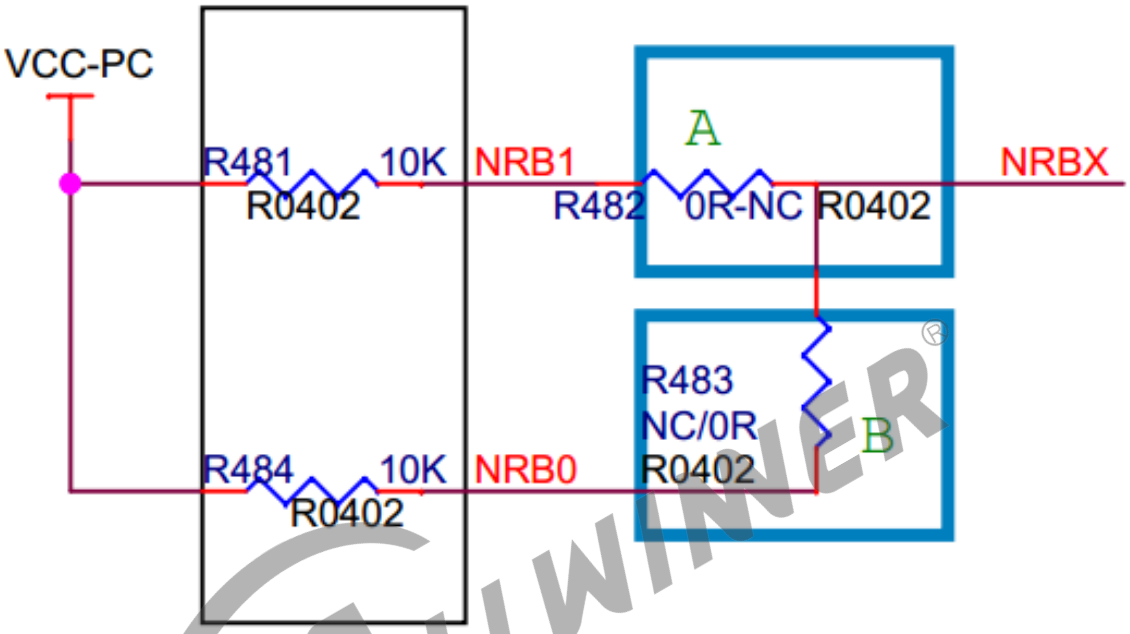

图 3-4: RB 信号线接法图

4、VPS0 和 VPS1 的电阻选择

对于不同厂家的 TSOP 封装的 NAND FLASH，第 28 管脚和 38 管脚接法需要特别注意，即是否需要接 VCC。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

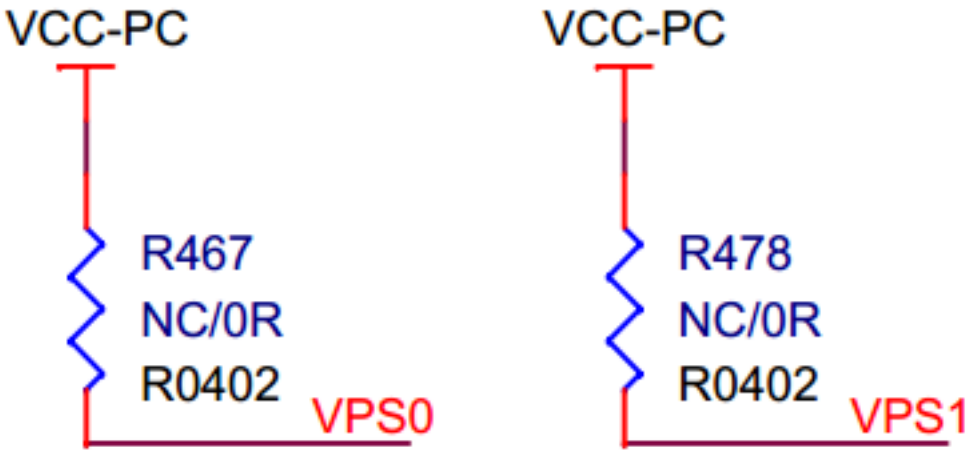

图 3-5: VPS0 和 VPS1 的电阻选择图

版权所有 © 珠海全志科技股份有限公司。保留一切权利

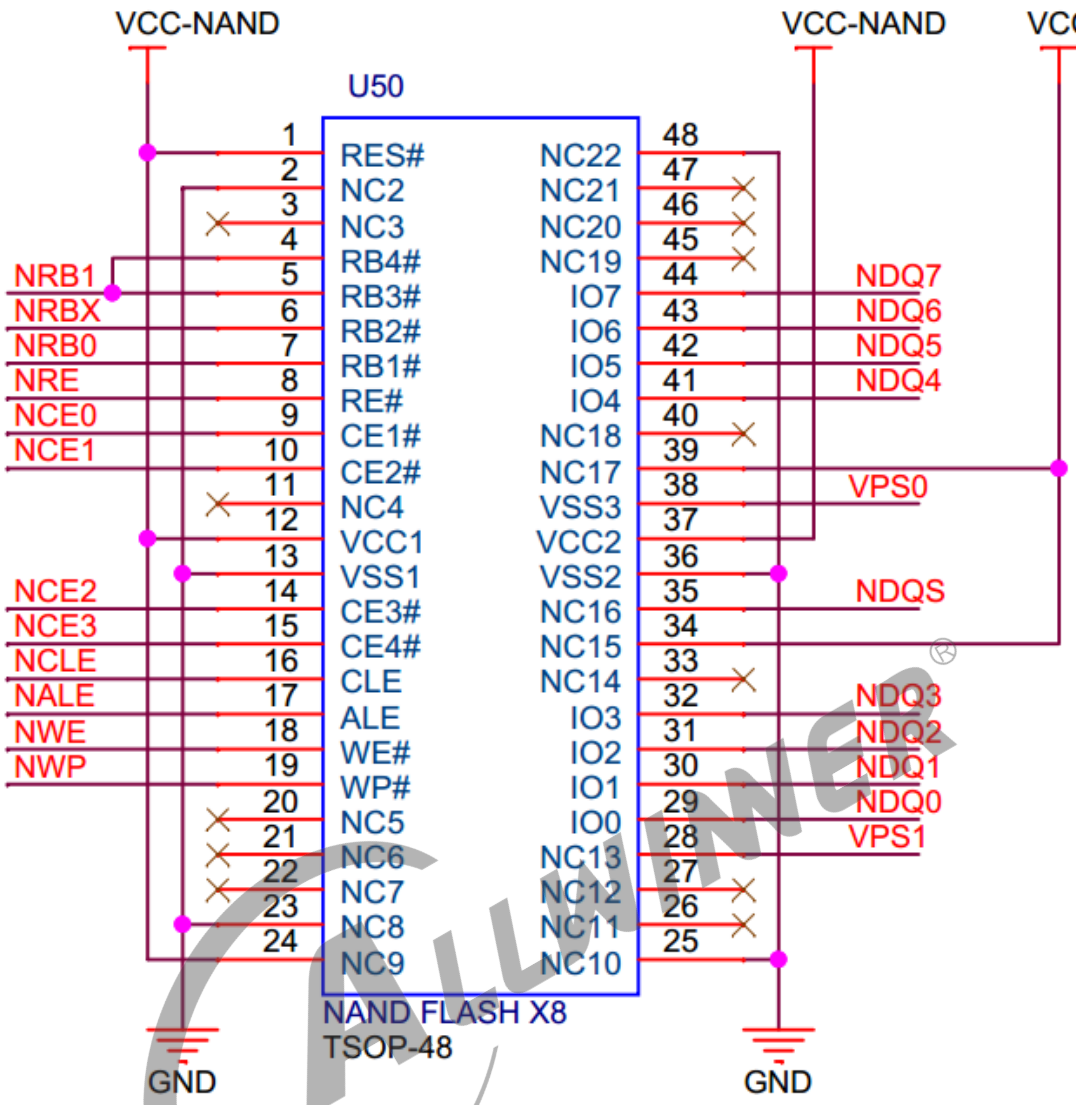

图 3-6: NAND 管脚示意图

SanDisk、Toshiba、SamSung 的 NAND：其 28 和 38 管脚为 VCCQ，所以需要接上 VCC-PC；

HYNIX 的 NAND 样片：TSOP 封装的 28 和 38 管脚为 NC，即内部电路是没有任何的连接，所以空置或者接 VCC-PC 都不会有影响；

Micron 和 MXIC 的 NAND 样片：TSOP 封装的 28 管脚为 NC，所以可以空置或者接 VCC-PC 都不会有影响，但 38 管脚是 DNU，即必须空置，不能接地或者 VCC-PC（实践过程中发现，接地没有问题，但接 VCC-PC 会使 NAND FLASH 进入写保护状态）

3.1.2 NAND 的 PCB 检查

1、规划性能板的时候，如果要引入 Socket 的，要尽量让 Socket 和贴片靠近，不要像 B100_PER2 和 A64_PER1 的情况（Socket 和贴片分别在顶层和底层），这样信号会好很多。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

2、数据线 D0-D7 走线和时钟线 we、re、dqs 走线尽量集中走线，不允许过分分散走线，走线总长度 <2000mil。
3、D0-D7 相对于 CLK 等长控制 <300mil；走线阻抗 50 欧；线间距不小于 2 倍线宽；Data 线上对称使用过孔
4、建议 we、re、dqs 包地。
5、we、re、dqs 上的串联电阻靠近 CPU 摆放，建议距离 <300mil。
6、Nand VCC、VCCQ 网络都需要使用去耦电容，且这些电容务必靠近电源引脚摆放。
7、Nand 信号连接到 CPU 的一组 GPIO 上，该组 GPIO 的供电必须与 NAND 的 VCCQ 使用同一路电源，避免产生上电时序问题。CPU GPIO 供电网络需要使用电容，且电容必须靠近主控摆放。如果供电线路上有过孔，过孔数量不少于 3 个，避免过孔限流影响供电。
8、Nand 所有信号走线参考平面完整。
9、要检查所有信号管脚的电压（VCCQ）是否对应该 NAND 样片的 VCCQ；目前 NAND 的样片的 TSOP 封装的多数为 3.3V 的信号电压，但控制器端的 GPIO（一般是 GPIOC）电压来源是可选择的，需要找准 IO 电压来源。
10、注意：
1) 若不打算使用 ddr/toggle 模式的 nand flash，则在执行上述规则时，不需要对时钟线 dqs 做处理。
2) 若要使用 ddr/toggle 模式的 nand flash，且工作频率在 100MHz 以上时，请尽量满足以上规则。
3) 若只使用 legacy 模式的 nand flash，则可适当放宽以上规则。

3.2 检查供电电源

电源类问题比较典型有倒灌电、上下电电源波形异常等。

3.2.1 倒灌电问题

典型的问题如串口 RX 在电源不供电情况下，会倒灌电流到 SoC 或者 device，导致无法正常工作，或者 NAND 的 VCC 与 VCCQ 只有一路电存在时，导致 device 内部灌电，例如 VCCQ 有供电，VCC 没有供电，但确能量测到 VCC 有电压。

3.2.2 上下电时序问题

典型问题如上电时，电源有处于中间电平的异常台阶问题；掉电时，电源供电因其他模块倒灌导致掉不干净等问题。

检查并用万用表测量 IO 口电压及 device 电压是否准确，如有必要可用示波器量测电源是否有波动，如果异常问题与 reboot、standby 场景相关，还需要测试该场景下的电源波形。

测量涉及到的供电如下：

版权所有 © 珠海全志科技股份有限公司。保留一切权利

- VDD-SYS：SoC 供电，即 NDFC 模块供电。
- VDD/VCC：分别为 NAND device 供电，实际板级上可能改了名字为 VCC-NAND，板级上 eMMC 与 NAND layout 复用时，NAND VCC 供电会与 VCC-eMMC 连在一起。
- VCCQ：NAND IO 供电，实际 NAND 使用时会与 SoC 端 GPIO 供电例如 VCC-PC 连在一起。

说明

NAND 电压有三种，典型值为 3.3V/1.8V/1.2V(AW 目前还未支持)，协议中有规范电压范围，如 **Table 3-1**：为阐述简便，下文中均按照典型值 3.3V/1.8V 来阐述。

图 3-7: NAND 电压说明

- SDR 或者 NV-DDR 的数据接口一般是应用 3.3V 或者 1.8V 的 VCCQ 操作环境。
- NV-DDR2 的数据接口一般是应用 1.8V 的 VCCQ 操作环境。
- NV-DDR3 的数据接口一般是应用 1.2V 的 VCCQ 操作环境。

参数	电压标志	最小值	典型值	最大值	单位
支持电源电压 3.3V 的器件	V_{CC}	2.7	3.3	3.6	V
支持电源电压 1.8V 的器件	V_{CC}	1.7	1.8	1.95	V
支持 3.3V 的 IO 信号电压	V_{CCQ}	2.7	3.3	3.6	V
支持 1.8V 的 IO 信号电压	V_{CCQ}	1.7	1.8	1.95	V
支持 1.2V 的 IO 信号电压	V_{CCQ}	1.14	1.2	1.26	V
地电压值	V_{SS}	0	0	0	V
IO 信号的地电压值	V_{SSQ}	0	0	0	V
Note：1、3.3V 的 V_{CCQ} 不支持 NV-DDR2 的数据接口。 2、3.3V and 1.8V V_{CCQ} 不支持 NV-DDR3 的数据接口。					

图 3-8: Power supply woltage

(1)NAND Flash 使用时，务必查阅对应型号的 data sheet，确定 VCC 和 VCCQ 供电以及支持的模式，Flash 能够支持的电压判别方法请参考附录 C :**如何判断 NANDFlash 电压要求**。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

注意 V_{cc} 和 V_{ccQ}

V_{ccQ} 和 V_{cc} 可能是两种不同的值，V_{ccQ} 一般小于或者等于 V_{cc}，包括在上电过程。每个 Nand 器件至少支持以下一种 V_{ccQ}/V_{cc} 的组合：

- V_{cc}= 3.3V, V_{ccQ}= 3.3V
- V_{cc}= 3.3V, V_{ccQ}= 1.8V
- V_{cc}= 3.3V, V_{ccQ}= 1.2V
- V_{cc}= 1.8V, V_{ccQ}= 1.8V

NAND 器件的所有的参数、时间模式、各特征参数都是与选择的 V_{ccQ}/V_{cc} 组合为基准。如果 NAND 器件是使用 V_{cc} and V_{ccQ} 相同的组合，那么 V_{ccQ} 和 V_{ssQ} 就不用在器件内部连接。此时，IO 的电源和地都可以用 V_{cc} 和 V_{ss} 提供。

图 3-9: Vcc 和 Vcq 注意事项

3.2.2.1 上下电问题实例

关于电源上电掉电问题类问题，举一个典型问题排查示例，A50 平台客户反馈的 B05A NAND 休眠唤醒启动异常的问题，前期通过数次对比实验分析，锁定 NAND 异常跟外围 LCD 屏相关，接上屏才会导致问题发生。

后续通过对 LCD 的电源供电分析，发现 VCC-MIPI 与 VCC-PC 电源绑在一起供电，VCC-NAND 与 VCC-LCD 绑在一起供电，两者电源干扰风险较大。如下为排查过程，红色为 VCC-NAND，供电为 3.3V，黄色为 VCC-PC 也就是 NAND 的 VccQ，供电为 1.8V：

(1) 上电启动过程中，发现 VCC-PC 会有电压抬高的情况，电压抬高到了 2.42V，不符合 NAND 的供电标准，抬高原因不明。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

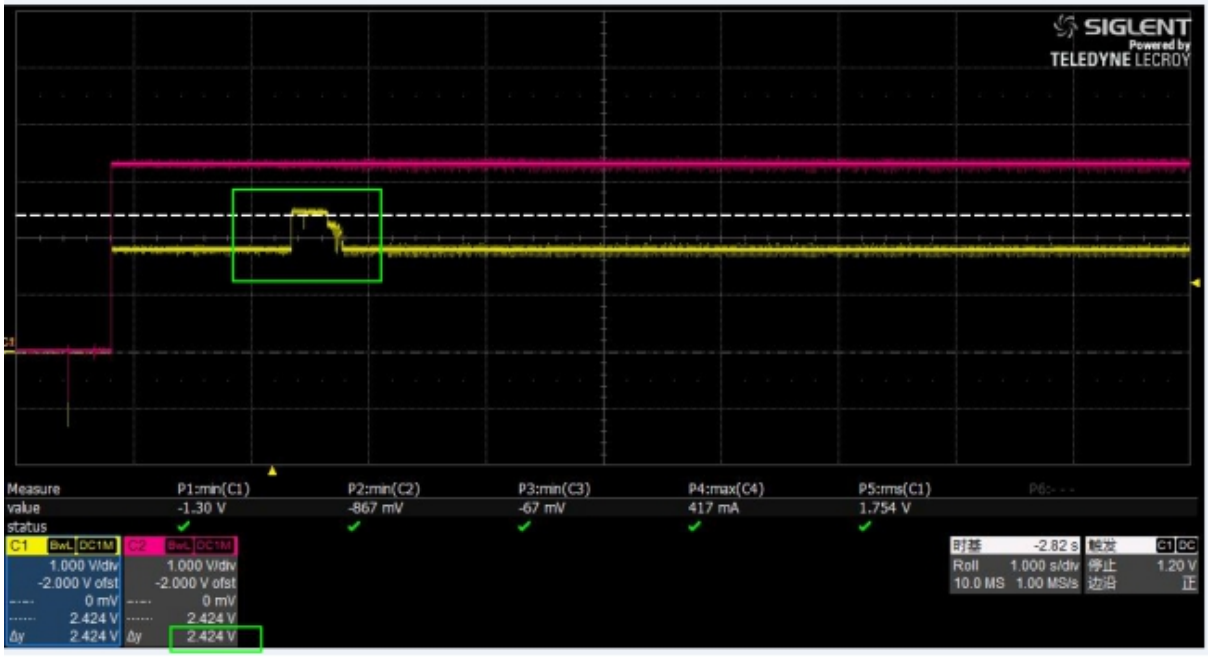

图 3-10：上电电压

(2) 系统休眠时，量测电源都有掉电，不存在漏电导致 NAND 异常的风险。

图 3-11：系统休眠电源电压

(3) 休眠唤醒时，量测波形发现 VCC-PC 会有电压抬高的情况，电压抬高到了 2.42V，不符合 NAND 的供电标准。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

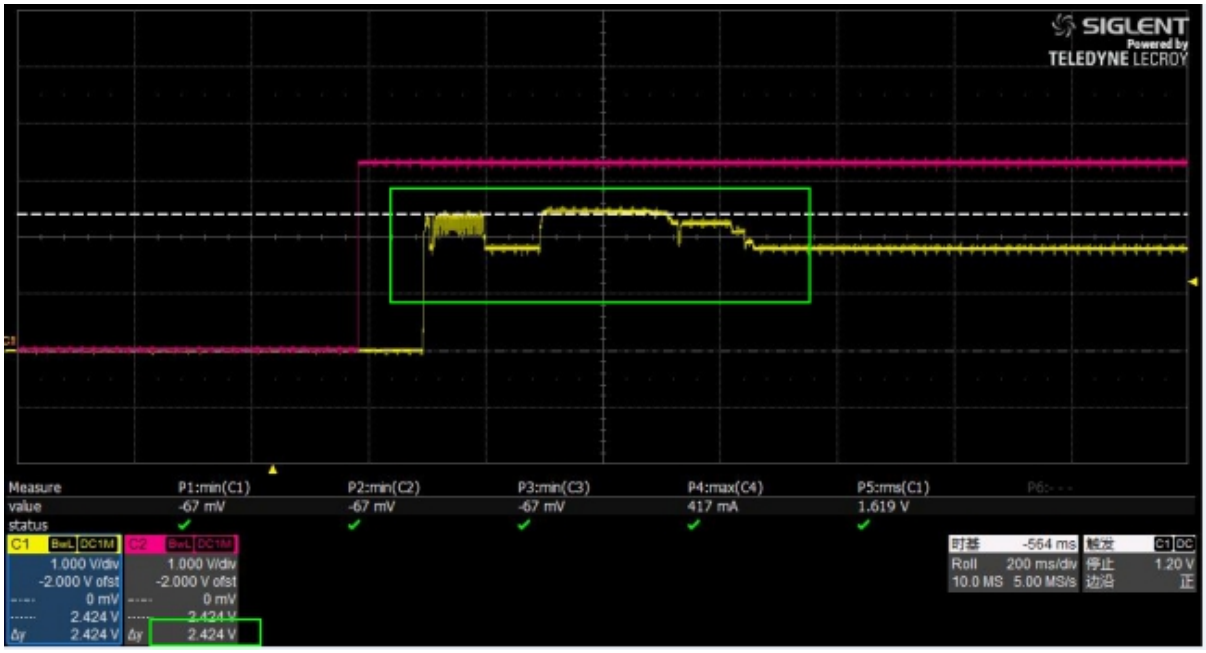

图 3-12: 休眠唤醒电压

(4) 将 LCD 排线拔掉，再次测量休眠唤醒时的波形，发现 VCC-PC 电源供电稳定，说明之前的电源被 LCD 模组内部干扰导致抬高。

图 3-13: 拔掉 LCD 排线-休眠唤醒电压

版权所有 © 珠海全志科技股份有限公司。保留一切权利

3.3 各种类型问题排查方向

确保原理图 PCB 以及供电无问题后，接下来就要针对异常打印去具体分析已确认根本原因，部分问题需要抓取波形，需要从 CE, RB, CLE, ALE, WE(CLK), RE, DQx, GND 信号线处引线, 如果是 DDR 模式可能还需要引出 DQS，**引线的长度推荐 2-3cm 或者更短**，以免影响问题复现以及示波器测量工作。下表列举系统中常见报错打印标识解析:

[Bug Information](figure/image-20210914101751124.png

错误标识	具体含义
[NE]rawnand not support chip 0: 03 03 03 03 03 03 03 03 [NE]rawnand not support chip 1: 03 03 03 03 03 03 03 03 [NE]rawnand not support chip 2: 03 03 03 03 03 03 03 03 [NE]rawnand not support chip 3: 03 03 03 03 03 03 03 03 [NE]no rawnand found!	未识别到 NAND 设备 ID，此处读到的 ID 均为 03, 03...，也有可能是 00 或 FF。
ecc err!read page, read page end error -2,chip=0 block=90 page=0	读 page ECC Error
Wait RB Ready timeout	设备 RB 信号持续拉低或超时

图 3-14: Bug Information

明白驱动错误的含义后，下面一一说明如何排查问题。

注意

在收集错误信息时务必以第一个错误信息为准，因为后面的错误异常基本是第一次出现的错误异常引发的，故要以第一个错误异常为准去排查。

图 3-15: 驱动排查说明

3.3.1 识别不到 ID 问题

(1) 问题分析

如下，多个通道均读不到 ID，还有种情况是 ID 读取错误、错位、某些 bit 读错问题等，原因可能是焊接不良，驱动采样设置不佳等。

```
[NE]rawnand not support chip 0: 03 03 03 03 03 03 03 03
[NE]rawnand not support chip 1: 03 03 03 03 03 03 03 03
[NE]rawnand not support chip 2: 03 03 03 03 03 03 03 03
[NE]rawnand not support chip 3: 03 03 03 03 03 03 03 03
```

版权所有 © 珠海全志科技股份有限公司。保留一切权利

```
[NE]no rawnand found!
```

(2) 排查方向

- 软件方向：此种问题软件需排查控制器时钟配置，GPIO 配置，NDFC 控制器寄存器配置，当遇到读取 ID 读取信息错误、错位、某些 bit 读错问题，重点关注频率与采样点适配问题。
- 硬件方向：使用逻辑分析仪抓取异常时的波形，抓到波形后即可直接查看发送 0x90 Read ID 命令后，设备各条数据线是否有数据送出来及 ID 信息是否准确。

3.3.2 读数据 ECC ERR 异常

(1) 问题分析

此类问题打印上表现为读 page 数据 ECC err，这种问题可能是 NDFC ECC 纠错等级、page 随机化种子配置与写操作时不对应或者 Flash 中存储的数据损坏超出 ECC 纠错能力。 ecc err!read page, read page end error -2,chip=0 block=90 page=0

(2) 排查方向

- 软件方向：排查控制器时钟配置包括 ECC 引擎时钟，GPIO 配置，NDFC 控制器寄存器配置 (ECC 纠错能力，读写操作的随机化种子是否对应)，NAND 配置信息 (速度模式、频率、read retry 配置等)。
- 硬件方向：引出信号 DQx，与时钟信号 (RE，DQS)，使用示波器确认是否存在 GPIO 信号质量问题。如果信号没有问题，软件配置无误，证明是 Flash 中数据损坏。

3.3.3 Wait RB Ready timeout

(1) 问题分析

控制器等待 RB Ready 超时，问题大概有两个方面：GPIO 或者控制器配置问题、Flash 异常

(2) 排查方向

- 软件方向：排查控制器时钟配置包括 ECC 引擎时钟，GPIO 配置，NDFC 控制器寄存器配置 (RB 信号配置)
- 硬件方向：引出信号 DQx，与时钟信号 (WE, RE), CE, RB, CLE, ALE，使用逻辑分析仪抓取波形，查看 CE 信号是否有异常，RB 信号是否长时间被 device 拉低 (Busy)。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

3.4 通用排查方法

3.4.1 检查硬件板

(1) 检查电路是否虚焊。

(2) 检查电路是否与原理图一致。

(3) 检查设备端 (NAND) 是否有问题（更换设备）。

3.4.2 对比实验

(1) 不同硬件板，同一设备，做对比实验；

(2) 同一硬件板，不同设备，做对比实验；

(3) 对比实验结果分析

a. 怀疑整体：

机器是一个整体，其他部件有问题，也是可能导致出错的。比如说 DRAM 出错，这一点在量产的时候尤为明显。

b. 怀疑设备：

这个模块，事实上是一个主从关系，有问题，设备端的几率也是十分大。毕竟设备端千差百异。另外，客户使用黑片或者次品的可能性很多，当报大规模烧录不良的时候，要对设备端进行分析。

排查方法：

(1)（良品）设备端差异，换不同设备如果问题就不出现，设备端问题几率比较大。

(2)（黑片）对于怀疑是黑片、次品，可先用工具对样品做全盘读写测试，有必要的时候，可能要做读写压力测试。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

4 附录 A：协议参考

以下均摘自 ONFI 协议 ONFI_4_0 Gold，供调试问题时作参考。

版权所有 © 珠海全志科技股份有限公司。保留一切权利

5 附录 B：原理图参考

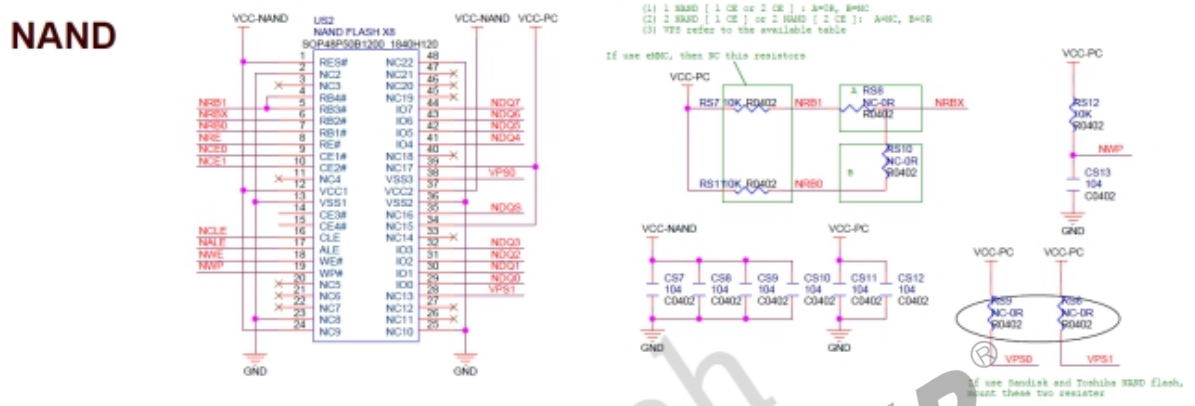

图 5-1: NAND 原理图

[器件用途解释](figure/image-20210914102524509.png

模块	元器件	用途	优化
NAND	RS7，RS11	RB 信号为 open drain 结构，必须外接上拉电阻，阻值可选4.7K 或10K	无
	RS8，RS10	多 RB 适配，取决于 flash	无
	RS6，RS9	部分 flash 型号的28pin、38pin(TSOP 封装)为 $V_{CC}Q$，但部分为 NC 或者 DNU，为了兼容不同的设计，所以留有选择电路。	可根据实际使用的 flash 型号，去除这2个电阻。
	RS12，CS13	NWP 为写保护信号，正常情况下必须拉高。	可考虑把电容删掉。
	CS7，CS8，CS9，CS10	旁路电容，用于抑制 VCC-NAND 的电源纹波与噪声。	可选择使用1uF+100nF 进行替换
	CS11，CS12	旁路电容，用于抑制 $V_{CC}Q$ 的电源纹波与噪声。	可选择使用1uF+100nF 进行替换

图 5-2: 器件用途解释

版权所有 © 珠海全志科技股份有限公司。保留一切权利

6 附录 C：如何判断 NAND Flash 电压要求

VCC 和 VCCQ 供电要求，一般都在 Flash data sheet 最前面的 Features 章节，如下截图中的红框，这里只列举几种，请根据实际情况参考对应 Flash 物料的 data sheet 举一反三。

NAND Flash Memory

MT29F128G08CB[C/E]CB, MT29F256G08CE[C/E]CB, MT29F512G08C[K/M][C/E]CB, MT29F1T08CTCCB, MT29F1T08CU[C/E]CB, MT29F2T08CVCCB

Features

- Open NAND Flash Interface (ONFI) 3.2-compliant[1]
- JEDEC NAND Flash Interface Interoperability (JESD230) compliant
- Multiple-level cell (MLC) technology
- Organization
  - Page size x8: 18,526 bytes (16,384 + 1872 bytes)
  - Block size: 512 pages (8192K + 936K bytes)
  - Plane size: 2 planes x 1048 blocks per plane
  - Device size: 128Gb: 2096 blocks; 256Gb: 4192 blocks; 512Gb: 8384 blocks; 1Tb: 16,768 blocks 2Tb: 33,536 blocks
- NV-DDR2 I/O performance
  - Up to NV-DDR2 timing mode 6[2]
  - Clock rate: 6ns (NV-DDR2)
  - Read/write throughput per pin: 333 MT/s
- NV-DDR I/O performance
  - Up to NV-DDR timing mode 5[3]
  - Clock rate: 10ns (NV-DDR)
  - Read/write throughput per pin: 200 MT/s
- Asynchronous I/O performance
  - Up to asynchronous timing mode 5
  - ^{t}RC/^{t}WC: 20ns (MIN)
  - Read/write throughput per pin: 50 MT/s
- Array performance
  - Read page: 115µs (MAX)
  - Program page: 1600µs (TYP)
  - Erase block: 3ms (TYP)
- Operating Voltage Range
  - V_{CC}: 2.7–3.6V
  - V_{CCQ}: 1.7–1.95V, 2.7–3.6V
- Command set: ONFI/JEDEC NAND Flash Protocol
- Advanced Command Set
  - Program cache
  - Read cache sequential
  - Read cache random
  - One-time programmable (OTP) mode
  - Multi-plane commands
  - Multi-LUN operations
  - Read Unique ID
  - Copyback
  - Read Retry
- First block (block address 00h) is valid when shipped from factory. For minimum required ECC, see Error Management (page 159).
- RESET (FFh) required as first command after power-on
- Operation status byte provides software method for detecting
  - Operation completion
  - Pass/fail condition
  - Write-protect status
- Data strobe (DQS) signals provide a hardware method for synchronizing data DQ in the NV-DDR/NV-DDR2 interface
- Copyback operations supported within the plane from which data is read
- Quality and reliability
  - Data retention: JESD47 compliant; see qualification report
  - Endurance: 3000 PROGRAM/ERASE cycles
- Operating temperature:
  - Commercial: 0°C to +70°C
  - Industrial (IT): -40°C to +85°C
- Package
  - 152-ball BGA
  - 272-ball BGA

Notes:
1. The ONFI 3.2 specification is available at www.onfi.org.
2. 1.8V V_{CCQ} up to NV-DDR2 timing mode 6 for 333MT/s. 3.3V V_{CCQ} up to NV-DDR2 timing mode 3 for 166MT/s.
3. 1.8V V_{CCQ} up to NV-DDR timing mode 5 for 200MT/s. 3.3V V_{CCQ} up to NV-DDR timing mode 4 for 166MT/s.

图 6-1: NAND Flash Memory

版权所有 © 珠海全志科技股份有限公司。保留一切权利

NAND Flash Memory - FortisFlash™

MT29F256G08EBHAF, MT29F512G08EEHAF, MT29F1T08EMHAF

Features

- Open NAND Flash Interface (ONFI) 4.0-compliant[1]
- JEDEC NAND Flash Interoperability (JESD230B) compliant[2]
- Triple-level cell (TLC)
- Organization
  - Page size x8: 18,592 bytes (16,384 + 2208 bytes)
  - Block size: 2304 pages, (36,864K + 4968K bytes)
  - Plane size: 2 planes x 504 blocks
  - Device size: 256Gb: 1008 blocks; 512Gb: 2016 blocks; 1Tb: 4032 blocks;
- NV-DDR3 I/O performance[3]
  - Up to NV-DDR3 timing mode 9
  - Clock rate: 3ns (NV-DDR3)
  - Read/write throughput per pin: 667 MT/s
- NV-DDR2 I/O performance[4]
  - Up to NV-DDR2 timing mode 8
  - Clock rate: 3.75ns (NV-DDR2)
  - Read/write throughput per pin: 533 MT/s
- Asynchronous I/O performance [4]
  - Up to asynchronous timing mode 5
  - ^{t}RC/^{t}WC: 20ns (MIN)
  - Read/write throughput per pin: 50 MT/s
- TLC Array performance
  - SNAP READ: 51µs (TYP)
  - READ PAGE: 76µs (TYP)
  - Effective Program page time: 800µs (TYP)
  - Erase block time: 15ms (TYP)
- Operating Voltage Range
  - V_{CC}: 2.7–3.6V
  - V_{CCQ}: 1.14–1.26V, 1.7–1.95V
- Command set: ONFI NAND Flash Protocol
- Data is required to be randomized by the external host prior to being inputted to the NAND device
- First block (block address 00h) is valid when shipped from factory. For minimum required ECC, see Error Management section[7]
- RESET (FFh) required as first command after power-on
- Operation status byte provides software method for detecting
  - Operation completion
  - Pass/fail condition
  - Write-protect status
- Data strobe (DQS) signals provide a hardware method for synchronizing data DQ in the NV-DDR2/NV-DDR3 interface
- Copyback operations supported within the plane from which data is read
- On-die Termination (ODT) [5]
- Quality and reliability[6]
  - Testing methodology: JESD47
  - Data retention: See qualification report – May vary for targeted application
  - Endurance: 1500 PROGRAM/ERASE cycles [6]
  - SLC Endurance: 40,000 PROGRAM/ERASE cycles
- Operating temperature:
  - Commercial: 0°C to +70°C
- Package
  - 132-ball BGA

Notes:
1. The ONFI 4.0 specification is available at www.onfi.org.
2. The JEDEC specification is available at www.jedec.org/standards-documents.
3. NV-DDR3 functionality is only available with 1.2V V_{CCQ}.
4. NV-DDR2 and Asynchronous functionality is only available with 1.8V V_{CCQ}.
5. ODT functionality is supported only in NV-DDR2 and NV-DDR3 mode.
6. Read Retry and Auto Read Calibration operations are required to achieve specified endurance and for general array data integrity.
7. For minimum required ECC, see Error Management section.

图 6-2: NAND Flash Memory-FortisFlash

版权所有 © 珠海全志科技股份有限公司。保留一切权利

NAND Flash Memory

MT29F256G08CBCBB, MT29F512G08CECBB, MT29F512G08CFCBB, MT29F1T08CMCBB

Features

- Open NAND Flash Interface (ONFI) 4.0-compliant[1]
- JEDEC NAND Flash Interoperability (JESD230B) compliant[2]
- Multiple-level cell (MLC)
- Organization
  - Page size x8: 18,592 bytes (16,384 + 2208 bytes)
  - Block size: 1024 pages, (16,384K + 2208K bytes)
  - Plane size: 4 planes x 548 blocks per plane
  - Device size: 256Gb: 2192 blocks; 512Gb: 4384 blocks; 1Tb: 8768 blocks
- NV-DDR2 I/O performance[4]
  - Up to NV-DDR2 timing mode 8
  - Clock rate: 3.75ns (NV-DDR2)
  - Read/write throughput per pin: 533 MT/s
- NV-DDR I/O performance [4]
  - Up to NV-DDR timing mode 5
  - Clock rate: 10ns (NV-DDR)
  - Read/write throughput per pin: 200 MT/s
- Asynchronous I/O performance [4]
  - Up to asynchronous timing mode 5
  - ^{t}RC/^{t}WC: 20ns (MIN)
  - Read/write throughput per pin: 50 MT/s
- Array performance
  - Single-Plane EXPRESS READ operation time without/with V_{PP} 64/61µs (TYP) [3]
  - Single-Plane READ PAGE operation time without/with V_{PP} 66/63µs (TYP) [3]
  - Multi-Plane READ PAGE operation time without/with V_{PP} 77/63µs (TYP) [3]
  - Program page without/with V_{PP}: 1300µs/1225µs (TYP)
  - Erase block: 15ms (TYP)
- Operating Voltage Range
  - V_{CC}: 2.7–3.6V
  - V_{CCQ}: 1.7–1.95V
- Command set: ONFI NAND Flash Protocol
- Advanced Command Set
  - Program cache
  - Read cache sequential
  - Read cache random
  - One-time programmable (OTP) mode
  - Multi-plane commands
  - Multi-LUN operations
  - Read Unique ID
  - Copyback
  - SLC Mode[6]
  - Read Retry[7]
  - ZQ Calibration
- First block (block address 00h) is valid when shipped from factory. For minimum required ECC, see Error Management (page 174).[7]
- RESET (FFh) required as first command after power-on
- Operation status byte provides software method for detecting
  - Operation completion
  - Pass/fail condition
  - Write-protect status
- Data strobe (DQS) signals provide a hardware method for synchronizing data DQ in the NV-DDR/NV-DDR2 interface
- Copyback operations supported within the plane from which data is read
- On-die Termination (ODT) [5]
- Quality and reliability[7]
  - Testing methodology: JESD47
  - Data retention: See qualification report – May vary for targeted application
  - Endurance: 3000 PROGRAM/ERASE cycles
- Operating temperature:
  - Commercial: 0°C to +70°C
  - Industrial (IT): -40°C to +85°C
- Package
  - 48-pin TSOP
  - 132-ball BGA

Notes:
1. The ONFI 4.0 specification is available at www.onfi.org.
2. The JEDEC specification is available at www.jedec.org/standards-documents.
3. Contact factory for technical details regarding Randomization. Array read times listed are without internal randomization.
4. TSOP packaged devices only support interface speeds up to 200MT/s in the NV-DDR and NV-DDR2 interfaces.

图 6-3: NAND Flash Memory-2

版权所有 © 珠海全志科技股份有限公司。保留一切权利

1.1 Features

Table 1: 64Gb Device Features

For devices operating above 100 MHz, V_{CCQ} is 1.8V.

Feature	Description	
Organization		
• Memory cell array	(16,384 + 1280) bytes x 256 pages x 1066 blocks per plane per die	
• Register	(16,384 + 1280) x 8 per plane per die	
• Number of planes	2 physical planes per die	
• Block size	(4M + 320K) bytes	
• Page size	(16,384 + 1280) bytes	
• Pages per block	256 pages	
Modes		
Block Erase Cache Program Cache Read Copy-Back Program Get Features	ID Read Multi-Block Erase Multi-Plane Copy(2) Multi-Plane Page Program Multi-Plane Read Copy(2)	Page Program Page Read Reset Set Features Status Read
Mode control		
	Serial input/output and command control	
Number of valid blocks (N_{VBD}) per die		
	Min: 2040 blocks	Max: 2132 blocks
Number of valid blocks (N_{VBP}) per plane		
	Min: 1020 blocks	Max: 1066 blocks
Power supply		
	V_{CC}: 2.7–3.6V	V_{CCQ}: 2.7–3.6V or 1.7–1.95V
Access time		
• Cell array to register (tR)[1]	45µs (avg) or 140µs (avg)	
• Toggle Mode data transfer rate[2]	DDR1: 100 MHz (200 MB/s)	DDR2: 200 MHz (400 MB/s)
• Legacy data transfer rate	50 MHz (50 MB/s)	
Program/Erase time		
• Page Program, typical	1350µs per page	
• Block Erase, typical	4ms per block	
Operating temperature		
	0°C to 70°C	
Package		
• BGA	132-ball BGA	12mm x 18mm x 1.4mm
• TSOP	48-pin TSOP	

Note 1. See Figure 1 on page 3.

2. To determine whether a device supports toggle mode, refer to the marketing part numbers on the cover page and Figure 1, "Part Numbering Decoder with Example Part Number," on page 3.

3. TSOP only supports DDR1 mode up to 100 MHz.

图 6-4: 64G Device Features

版权所有 © 珠海全志科技股份有限公司。保留一切权利

SanDisk

1Z 2bpc 64Gb 2-Plane Mobile/Tablet NAND Flash

Features

1 Features

Table 1: 64Gb Device Features

For devices operating above 100 MHz, V_{CCQ} is 1.8V.

Feature	Description	
Organization		
Memory cell array	(16,384 + 1280) bytes x 256 pages x 1074 blocks per plane	
Register	(16,384 + 1280) x 8 bits per plane	
Number of planes	2 physical planes per die	
Block size	2bpc: 4096KB	
Page size	17,664 bytes = (16,384 + 1280) bytes	
Pages per block	256 pages	
Modes		
Block Erase Cache Program Cache Read Copy-Back Program Get Features	ID Read Multi-Block Erase Multi-Plane Copy(2) Multi-Plane Page Program Multi-Plane Read Copy(2)	Page Program Page Read Reset Set Features Status Read
Mode control		
	Serial input/output and command control	
Number of valid blocks (N_{VBD}) per die		
	Min: 2064 blocks	Max: 2148 blocks
Number of valid blocks (N_{VBP}) per plane		
	Min: 1032 blocks	Max: 1074 blocks
Power supply		
	V_{CC}: 2.5–3.6V	
	V_{CCQ}: 1.7–1.95V	Toggle Mode DDR2.0
	V_{CCQ}: 2.7–3.6V	Toggle Mode DDR1.0/Legacy Mode
	V_{CCQ}: 1.7–1.95V	Legacy Mode w/relaxed timing
Access time		
Cell array to register (tR)	47µs (avg) or 182µs (avg)	
Toggle Mode data transfer rate	DDR1: 100 MHz (200 MB/s)	DDR2: 266 MHz (533 MB/s)
Legacy data transfer rate	50 MHz (50 MB/s)	
Program/Erase time		
Page Program, typical	1200µs per page	
Block Erase, typical	5ms per block	
Operating temperature		
	0°C to 70°C	
Package		
TSOP[1]	48-pin TSOP	

Note 1. TSOP only supports DDR1 mode up to 100 MHz. See the marketing part numbers on the cover page and Figure 1 on page 2.

图 6-5: 64G Device Features-SanDisk

版权所有 © 珠海全志科技股份有限公司。保留一切权利

FEATURES

- Organization

	TC58NVG6DCJTA00
Device capacity	17664 × 256 × 2092 × 8 bits
Register	17664 × 8 bits
Page size	17664 bytes
Block size	(4M + 320 K) bytes

- Modes
  Read, Reset, Auto Page Program, Auto Block Erase, Status Read, Page Copy

- Mode control
  Serial input/output
  Command control

- Number of valid blocks
  Min 2018 blocks (TENTATIVE)
  Max 2092 blocks (TENTATIVE)

- Power supply
  V_{CC} = 2.7 V to 3.6 V

这种Flash没有VccQ pin脚，故IO电压就要使用3.3V

- Access time

Cell array to register	50 μs typ. (TENTATIVE)
	100 μs max (TENTATIVE)
Serial Read Cycle	20 ns min

- Program/Erase time

Auto Page Program	1700 μs/page typ.(TENTATIVE)
Auto Block Erase	5 ms/block typ.(TENTATIVE)

- Operating current

Read (25 ns cycle)	TBD mA max (per 1 chip)
Program (avg.)	TBD mA max (per 1 chip)
Erase (avg.)	TBD mA max (per 1 chip)
Standby	TBD μA max (per 1 chip)

- Package
  (Weight: TBD g typ.)

- FOR RELIABILITY GUIDANCE, PLEASE REFER TO THE APPLICATION NOTES AND COMMENTS (17).

图 6-6: 64G Device Features-2

ALLWINNER®

版权所有 © 珠海全志科技股份有限公司。保留一切权利

hynix

H27UCG8T2M Series
64Gb (8192M x 8bit) NAND Flash

Product Feature

■ **Open NAND Flash Interface (ONFI) 1.0 Compliant**

■ **Supports only asynchronous interface**

■ **Multilevel Cell(MLC) technology**

■ **Device size**
- 64 Gbit = 4,096 blocks

■ **Organization**
- Page size : 8,640 Bytes(8,192+448 bytes)
- Block size : 256 pages(2M+112K bytes)
- Plane size : 2,048 blocks
- Chip size : 2 planes (4,096 blocks)

■ **Supply Voltage**
- 3.3V device : Vcc = 2.7 V ~ 3.6 V

这种Flash没有Vcc0 pin脚，故IO电压就要使用3.3V

■ **Read Time**
- Random Access (tR): 200 μs (Max.)
- Sequential Access : 20 ns (Min.)

■ **Write Time**
- Page program : 1600 μs (Typ.)
- Block erase : 3.5 ms (Typ.)

■ **Package Information**
- Package type : VLGA
- Chip count : SDP(1CE, Single) = 1 stack
- Ball(Pin) Count : 52 ball
- size : 14mm x 18mm x 1mm

■ **Endurance:**
- 1,000 PROGRAM/ERASE cycles
- Data Retention: 10 years

■ **Operating Temperature:**
- 0°C to +70°C (Commercial)
- -25°C to +85°C (Extended)
- -40°C to +85°C (Industrial)

图 6-7: hynix-Product Feature

版权所有 © 珠海全志科技股份有限公司。保留一切权利

- **Product Organization**

Table 1 Product Organization

Parameter	TC58TEG6DDL
Part number (T_{OPER}: 0~70℃)	TC58TEG6DDLTA00
Device capacity	17664×256×4212×8 bits
Page size	17664 Bytes
Block size	(4M + 320 K) Bytes
Plane size	9,523,298,304Bytes
Plane per one LUN	2 Planes
LUN per one target	1 LUNs
Target per one device	1 target
Number of valid blocks per a device (min)	2018(TENTATIVE)
Number of valid blocks per a device (max)	2148 (TENTATIVE)
Package weight	TBD g

NOTE:
1) The device occasionally contains unusable blocks.
2) The first block (Block 0) is guaranteed to be a valid block at the time of shipment.
3) The specification for the minimum number of valid blocks is applicable over the device lifetime.
4) The number of valid blocks includes extended blocks.

- **Modes**

Basic Operation
Page Read Operation (with Random Data Output), Data Out After Status Read, Sequential Cache Read Operation, Random Cache Read Operation, Page Program Operation (with Random Data Input), Cache Program Operation, Block Erase Operation, Copy-Back Program Operation (with Random Data Input), Set Feature Operation, Get Feature Operation, Read ID Operation, Read Status Operation, Reset Operation, Reset LUN Operation

Extended Operation
Multi Page Read Operation, Multi Sequential Cache Read Operation, Multi Page Random Cache Read Operation, Multi Page Program Operation, Multi Cache Program Operation, Multi Block Erase Operation, Multi Copy-Back Program Operation,
Page Copy (2) Operation, Multi Page Copy (2) Operation,
Device Identification Table Read Operation, Read Status Enhanced Operation, Read LUN #0 Status Operation

Table 2 Supported Operation Modes

Operation Mode	TC58TEG6DDL
Basic Operation	Supported
Extended Operation	Supported
Interleaving Operation	Not supported

- **Mode control**
  Serial input/output
  Command control

- **Power supply**
  V_{CC} = 2.7 V to 3.6 V
  V_{CCQ} = 2.7 V to 3.6 V / 1.7 V to 1.95V

图 6-8: Product Organization

版权所有 © 珠海全志科技股份有限公司。保留一切权利

1.2 Features

Feature	32Gb eX2 (1-Plane)
Organization:	
Memory Cell Array	(16384 + 1280) bytes x 256 pages x 1060 blocks per die
Register	(16384 + 1280) x 8 per die
Number of Planes	1 physical plane (2 pseudo planes for 8KB page) *
Block Size	(4M + 320K) bytes
Page Size	(16384 + 1280) bytes
Number of Pages / Block	256 (16KB page)
Modes	ID Read, Status Read, Page Read, Cache Read, Multi-Page Read, Page Program, Cache Program, Multi-Page Program, Page Copy (2), Copy-Back Program, Block Erase, Set Feature, Get Feature, Reset
Mode Control	Serial input/output, Command control
Number of Valid Blocks	Min 1017 blocks; Max 1060 blocks per die
Power Supply	VCC = 2.7 V to 3.6 V VCCQ = 2.7 V to 3.6 V / 1.7 V to 1.95 V
Access Time	Cell Array to Register: 160 µs max Data Transfer Rate: 100 MHz (200 MB/s) max for DDR1 200 MHz (400 MB/s) max for DDR2 Serial Read Cycle: 20 ns min
Program/Erase Time	Page Program: 1400 µs per page typ. Block Erase: 5 ms per block typ.
Operating Current	Read (20 ns cycle): 30 mA typ. Program (avg.): 30 mA typ. Erase (avg.): 30 mA typ. Standby: 100 µA max per die
Package	48-Lead TSOP, 14x18x1mm 52-Lead LGA

图 6-9: Features

版权所有 © 珠海全志科技股份有限公司。保留一切权利

7 参考文献

- www.onfi.org – ONFI_4_0 Gold
- Allwinner Technology – AWxxxx_NDFC_Specification

版权所有 © 珠海全志科技股份有限公司。保留一切权利

著作权声明

版权所有 ©2021 珠海全志科技股份有限公司。保留一切权利。

本文档及内容受著作权法保护，其著作权由珠海全志科技股份有限公司（“全志”）拥有并保留一切权利。

本文档是全志的原创作品和版权财产，未经全志书面许可，任何单位和个人不得擅自摘抄、复制、修改、发表或传播本文档内容的部分或全部，且不得以任何形式传播。

商标声明

、、全志科技、（不完全列举）均为珠海全志科技股份有限公司的商标或者注册商标。在本文档描述的产品中出现的其它商标，产品名称，和服务名称，均由其各自所有人拥有。

免责声明

您购买的产品、服务或特性应受您与珠海全志科技股份有限公司（“全志”）之间签署的商业合同和条款的约束。本文档中描述的全部或部分产品、服务或特性可能不在您所购买或使用的范围内。使用前请认真阅读合同条款和相关说明，并严格遵循本文档的使用说明。您将自行承担任何不当使用行为（包括但不限于如超压，超频，超温使用）造成的不利后果，全志概不负责。

本文档作为使用指导仅供参考。由于产品版本升级或其他原因，本文档内容有可能修改，如有变更，恕不另行通知。全志尽全力在本文档中提供准确的信息，但并不确保内容完全没有错误，因使用本文档而发生损害（包括但不限于间接的、偶然的、特殊的损失）或发生侵犯第三方权利事件，全志概不负责。本文档中的所有陈述、信息和建议并不构成任何明示或暗示的保证或承诺。

本文档未以明示或暗示或其他方式授予全志的任何专利或知识产权。在您实施方案或使用产品的过程中，可能需要获得第三方的权利许可。请您自行向第三方权利人获取相关的许可。全志不承担也不代为支付任何关于获取第三方许可的许可费或版税（专利税）。全志不对您所使用的第三方许可技术做出任何保证、赔偿或承担其他义务。